

# Compilerunterstützung für rekonfigurierbare Beschleuniger

IPD Snelting

In diesem Pdf-Projekt geht es um *rekonfigurierbare Beschleuniger*, konkret um den am ITEC entwickelten *i-Core*. Rekonfigurierbare Beschleuniger sind Coprozessoren mit programmierbarer Hardware, z. B. FPGAs. Der Beschleuniger kann von der CPU mit einem Assemblerbefehl aufgerufen werden, was er dann berechnet hängt aber von der Programmierung des FPGAs ab.

Beim Start einer Anwendung kann also der Beschleuniger so konfiguriert werden, dass er *Spezialinstruktionen* (SIs) implementiert, die für genau diese Anwendung nützlich sind. Zum Beispiel gibt es für den *i-Core* eine Spezialinstruktion für numerische Anwendungen, die einen Löser für Differenzialgleichungen implementiert.

Ziel dieses Projektes ist die bessere Integration von rekonfigurierbaren Beschleunigern in den Softwareentwicklungsworkflow. Wir wünschen uns einen Compiler, der Code erkennen kann, der sich als SI eignet und eine Spezifikation der benötigten SI in VHDL erzeugen kann. Ein weiteres Forschungsthema ist die Unterstützung mehrerer Programme: Wie kann die Beschleuniger-Hardware fair unter ihnen verteilt werden? Kann man (evtl. als Kompromiss) SIs definieren, die für mehrere Programme nützlich sind?

Einige Vorarbeit ist schon geleistet: In einer früheren Diplomarbeit wurde schon ein VHDL-Backend für unsere Compilerbibliothek libFIRM gebaut, und in einer gerade laufenden Bachelorarbeit wird ein Algorithmus entwickelt, um häufig auftretende Programmteile zu identifizieren.

## Anforderungen

- Programmiererfahrung in C
- Bereitschaft zum Einarbeiten in den Compiler
- Erste Kenntnisse in hardwarenaher Entwicklung

## Ansprechpartner

- Andreas Fried – andreas.fried@kit.edu